

# Izhikevich モデルのデジタル回路モデル

小森雅和

## A Digital Circuit Model of Izhikevich Model

Masakazu KOMORI

(Accepted September 3, 2012)

**Abstract** It is thought that hardware implementation of neural networks has a great advantage. There are two methods of hardware implementation. One is analog circuit implementation. Another is digital circuit implementation. Recently, using Hardware Description Language(HDL), digital circuit can download to devices such as Field-Programmable Gate Array(FPGA) or Complex Programmable Logic Device(CPLD) after logical synthesis easily. Several digital circuit models of neuron that is component of neural networks were proposed. But, it is thought that there is no report about digital circuit model of Izhikevich model that can reproduce output characteristics of biological neurons very well. In this report, I describe results about digital circuit modeling of Izhikevich model and its simulation. To describe a digital circuit of Izhikevich model, Verilog HDL was used. Because Verilog HDL has language system which resembled the C language and description is easy.

**Keywords** [Izhikevich model, Neural networks, Digital circuit, Verilog HDL]

### 1 はじめに

人間などの脳は、視覚情報処理や身体制御など優れた情報処理能力を持っており、これを工学的に応用しようとニューラルネットワークの研究が盛んに行われている。脳における情報処理は、膨大な数の神経細胞(ニューロン)がネットワークを構成し、超並列に情報を処理することにより行われていると考えられている。神経細胞の入出力応答時間は、1[ms]～数[ms]程度であるが、人間は物体認識などを瞬時に行うことが可能である。これは、多数の神経細胞で構成されるネットワークによる並列処理によるものが大きいと思われる。工学的に応用する際には、プログラミング言語を使って計算機上で実現することが考えられるが、ほとんどが逐次処理になってしまい、並列性が損なわれることから、ハードウェア化することが望ましいと思われる。

ニューラルネットワークのハードウェア化の手法としては、アナログ回路によるものとデジタル

回路によるものが考えられる。アナログ回路によるハードウェア化は、回路規模がデジタル回路に比べて小さくなることを見込まれるが、製造の際の素子のばらつきや神経細胞の入力部であるシナプスのシナプス可塑性による学習を取り入れた際に必要となるメモリの実装などの問題があると思われる。デジタル回路は、アナログ回路に比べて回路規模が大きくなると思われるが、素子のばらつきの影響を受けにくく、メモリの実装も簡単であると思われる。特に、近年はハードウェア記述言語(HDL)により回路の動作を記述して、論理合成を行ってから、シミュレーションを行い、FPGAやCPLDといったデバイスにダウンロードすることも可能であり、比較的容易に実装可能となっている。

デジタル回路によるニューラルネットワークのハードウェア化における神経細胞モデルとしては、パルスニューロンモデル<sup>1,2)</sup>やシフトレジスタの結合系から構成されるモデル<sup>3-5)</sup>がある。パルスニューロンモデルは、神経細胞の基本的な動作を再

現でき、回路規模もそれほど大きくならないと思われるが、生体における様々な種類の神経細胞の出力特性を表現することができないと思われる。また、シフトレジスタの結合系から構成されるモデルは、レジスタ間の結線パターンの変更により、様々な出力特性を構成可能と思われるが、多入力モデルを構成するのは難しいと思われる。

生体における神経細胞の特性をよく再現している数理モデルとしては、Hodgkin-Huxley モデル<sup>6)</sup>や Izhikevich モデル<sup>7,8)</sup>などのモデルが挙げられる。Hodgkin-Huxley モデルは、4つの微分方程式と神経細胞の膜電位により変化するパラメータを計算する6つの式により構成されることから、回路規模が大きくなると思われデジタル回路化には向いていないと思われる。それに対して、Izhikevich モデルは、2つの微分方程式と1つの判定式により構成されることから、Hodgkin-Huxley モデルに比べて回路規模が小さくなることが期待される。しかし、Izhikevich モデルのデジタル回路化に関する報告は見られないように思われる。そこで本報告では、Izhikevich モデルのデジタル回路化を行い、そのシミュレーションおよび考察を行った結果について述べる。回路記述には、C言語に似た文法体系で記述が簡潔な VerilogHDL を用いた。

## 2 Izhikevich モデル

神経細胞は、大きく分けて4つの部分に分けることが出来る。1つ目は、他の細胞からの入力による膜電位の上昇がしきい値を超えると神経細胞の出力となる活動電位を発生させる細胞体である。2つ目は、細胞体で発生した活動電位を他の細胞に伝える軸索である。3つ目は、他の細胞からの入力を細胞体に伝える樹状の突起である樹状突起である。4つ目は、他の細胞からの入力を受け取る部分であるシナプスである。シナプスは、他の細胞からの入力の伝達効率が変化するシナプス可塑性があることがわかっており、このシナプス可塑性によって脳における学習が行われていると考えられている。

Izhikevich モデル<sup>7,8)</sup>は、神経細胞における細胞体の数理モデルであり、2つの微分方程式と1つの判定式で構成される。以下に、そのモデル式を示す。

$$\frac{dv}{dt} = 0.04v^2 + 5v + 140 - u + I \tag{1}$$

$$\frac{du}{dt} = a(bv - u) \tag{2}$$

$$\text{if } v \geq 30[\text{mv}] \text{ then } \begin{cases} v \leftarrow c \\ u \leftarrow u + d \end{cases} \tag{3}$$

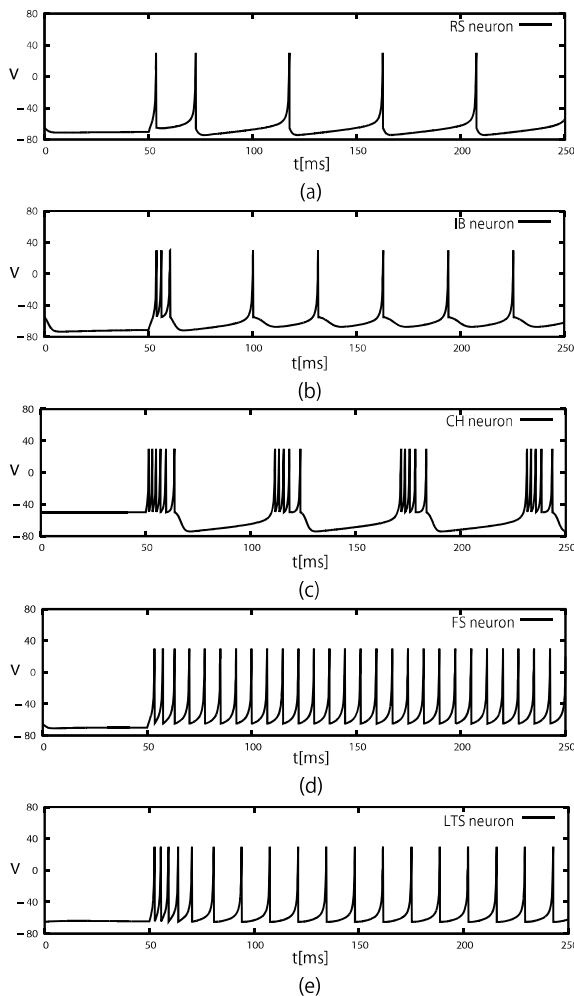


Fig. 1 Simulation result of Izhikevich model. (a) Regular spiking (RS) neuron ( $d = 8$ ). (b) Intrinsically bursting (IB) neuron ( $c = -55[\text{mv}]$ ,  $d = 4$ ). (c) Chattering (CH) neuron ( $c = -50[\text{mv}]$ ). (d) Fast spiking(FS) neuron ( $a = 0.1$ ). (e) Low-threshold spiking (LTS) neuron ( $b = 0.25$ ).

ここで、 $v$ は、膜電位を表す変数であり、 $u$ は、 $K^+$ 電流の活性化と  $Na^+$ 電流の不活性化を表し、変数  $v$  への負帰還をかける膜リカバリ変数である。式の間を見れば分かる通り、変数  $v$  と  $u$  はの単位はディメンジョンレスであるが、 $v$  に関しては膜電位を表しており、その値は  $[\text{mv}]$  相当となっていることから、単位が付けられている。 $I$ は細胞体への入力を表している。また、 $a, b, c, d$ は Izhikevich モデルのパラメータであり、これら4つのパラメータの基準となるパラメータ値は、 $a = 0.02$ 、 $b = 0.2$ 、 $c = -65[\text{mv}]$ 、 $d = 2$ である。ここで、パラメータ  $c$  のみ単位が付いているが、このパラメータは神経細胞における静止膜電位を表していることから、式(3)と同様に単位が付けられている。

Izhikevich モデルは、4つのパラメータを変更す

ることにより、様々な神経細胞の出力パターンである発火パターンを再現することが可能となっており、Izhikevich は文献において、新皮質における興奮性皮質細胞である regular spiking(RS) neuron、intrinsically bursting(IB) neuron、chattering(CH) neuron および抑制性皮質細胞である fast spiking(FS) neuron、low-threshold spiking(LTS) neuron の発火パターンを再現している<sup>7)</sup>。Fig. 1 に、文献を参考にシミュレーション結果をシミュレーションにより再現したものを示す。微分方程式の計算には Runge-Kutta 法を用い、計算間隔は 0.1[ms] とし、入力は  $t = 50[ms]$  で  $I = 10$  を入力している。

### 3 Izhikevich モデルのデジタル回路化

ここでは、Izhikevich モデルのデジタル回路化について述べる。式 (1)～式 (3) を見て分かるように、Izhikevich モデルのモデル式には微分方程式が含まれている。まず、デジタル回路化するために式 (1) および式 (2) の離散化を行った。離散化には以下に示す前進オイラー法を用いた。

$$\frac{dv}{dt} \rightarrow \frac{v(t + \Delta t) - v(t)}{\Delta t} \quad (4)$$

$$\frac{du}{dt} \rightarrow \frac{u(t + \Delta t) - u(t)}{\Delta t} \quad (5)$$

ここで、 $\Delta t$  は単位時間ステップである。これを、式 (1) および式 (2) へ適用し、変形を行うことにより、Izhikevich モデルを離散化した次の式が得られる。

$$v(t + \Delta t) = v(t) + \Delta t((0.04v(t) + 5)v(t) + 140 - u(t) + I) \quad (6)$$

$$u(t + \Delta t) = u(t) + \Delta t(a(bv(t) - u(t))) \quad (7)$$

$$\text{if } v(t) \geq 30[mv] \quad (8)$$

$$\text{then } \begin{cases} v(t) \leftarrow c \\ u(t) \leftarrow u(t) + d \end{cases}$$

デジタル回路化する際に、式 (6)～式 (8) をそのまま回路化することも考えられるが、ニューラルネットワークでは多数の神経細胞モデルによるネットワークを構成することから、神経細胞モデルの回路規模は可能な限り小さいほうが望ましい。また、並列性を活かすためにも 1 回の入出力の計算にかかる計算過程も少ないほうが望ましいと言える。そこで、本報告では、次に示す 6 ステップの計算過程による Izhikevich モデルのデジタル回路化を行うこととした。

$$\text{setp1 } buffer_v \leftarrow p_A \times v + p_B \quad (9)$$

$$\text{setp2 } buffer_v \leftarrow buffer_v \times v + p_C \quad (10)$$

$$\text{setp3 } buffer_v \leftarrow buffer_v - \Delta t \times u \quad (11)$$

$$\text{setp4 } buffer_v \leftarrow buffer_v + \Delta t \times I \quad (12)$$

$$buffer_u \leftarrow b \times v - u \quad (13)$$

$$\text{setp5 } v \leftarrow buffer_v + v \quad (14)$$

$$u \leftarrow u + p_D \times buffer_u \quad (15)$$

$$\text{setp6 } \text{compare } v \quad (16)$$

ここで、 $p_A = 0.04\Delta t$ 、 $p_B = 5\Delta t$ 、 $p_C = 140\Delta t$ 、 $p_D = \Delta t a$  である。このように、 $p_A$  から  $p_D$  と新たにパラメータを定義しなおすことにより、演算回数を減らすことが可能となっている。 $step6$  は、式 (8) の処理を行う過程としている。また、 $buffer_v$ 、 $buffer_u$  は計算結果を一時的に保存するバッファである。

次に、Izhikevich モデルの各変数およびパラメータの値を 2 進数で表現する際に必要となる bit 幅の決定を行った。モデルで使われる数値は、正負の値をとる実数であることから、2 の補数表記による固定小数点方式で数値を表すこととした。決定法としては、C++ 言語を使って 2 進数演算による式 (9)～式 (16) の計算過程でのシミュレーションにより決定することとした。シミュレーションの結果、符号 bit 込みの整数部 8bit、小数部 15bit の 23bit で Fig. 1 とほぼ同様の結果が得られることがわかった。このことより、整数部 8bit、小数部 15bit の 23bit でデジタル回路化を行うこととした。

これらのことより、式 (9)～式 (16) の計算過程を実現するデジタル回路の作成を行った。そのブロック図を Fig. 2 に示す。作成した回路は、リセット入力

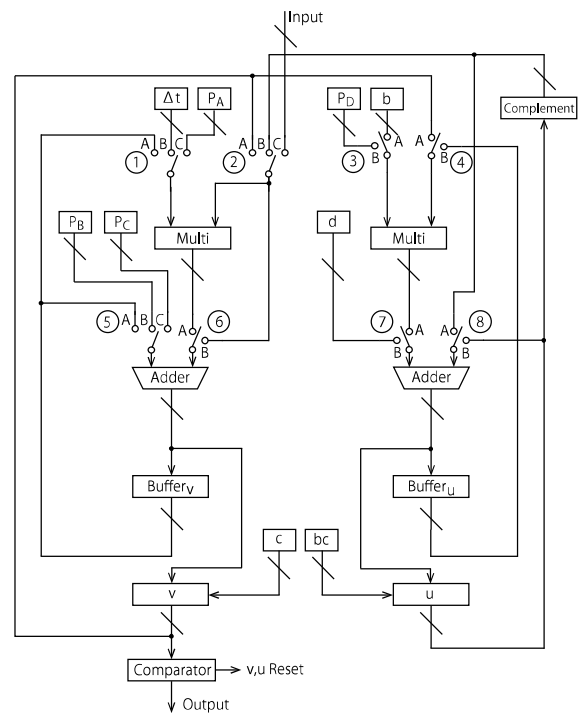


Fig. 2 Block diagram of digital circuit for Izhikevich model.

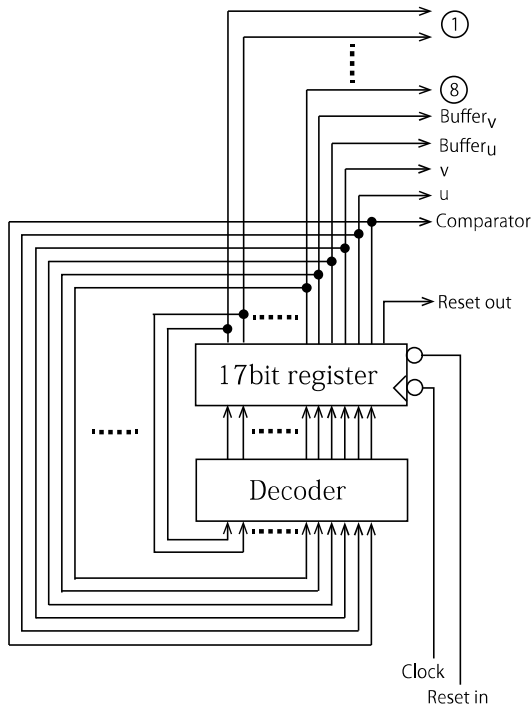


Fig. 3 Control signal generator of digital circuit for Izhikevich model.

を持つクロック同期式のデジタル回路としており、式(9)~式(16)の各計算過程で1クロック必要で、1回の入出力の計算には6クロックが必要なものとなっている。そのため、各計算過程の回路制御に必要な制御信号発生回路も作成した。その回路図をFig. 3に示す。

Fig. 2において、Multiは乗算器、Adderは加算器、Complementは2の補数演算器であり、Buffer<sub>v</sub>、Buffer<sub>u</sub>、vおよびuは、それぞれ値を保持するバッファの役割をする23bitレジスタである。また、外部からリセットが入力された時には、初期値としてvにはc、uにはbcがセットされるようにしてある。

Comparatorは、制御信号発生回路からの制御信号により、式(8)の判定処理と出力を行うブロックである。出力は、デジタル回路であるので、1bitの0もしくは1が出力されるようになっている。実際の神経細胞においても、活動電位の大きさではなく神経パルスの有無によって情報の伝達が行われていると考えられていることから問題ないと思われる。また、Comparatorは、vが30[mv]を超え、出力が1になった際には、v、uを式(8)に示される値にリセットするための制御信号を出力するようになっている。出力は、次の判定処理と出力までの期間である6クロック分、値を保持するが、リセット信号は出力されてから次のクロックの立ち下がりまでしか値を保持しないようになっている。

Table 1 Switch sequence of digital circuit for Izhikevich model.

step	calculation	switch
1	$buffer_v \leftarrow p_A \times v + p_B$	① C ② A ⑤ B ⑥ A
2	$buffer_v \leftarrow buffer_v \times v + p_C$	① A ② A ⑤ C ⑥ A
3	$buffer_v \leftarrow buffer_v - \Delta t \times u$	① B ② B ⑤ A ⑥ A
4	$buffer_v \leftarrow buffer_v + \Delta t \times I$ $buffer_u \leftarrow b \times v - u$	① B ② C ⑤ A ⑥ A ③ A ④ A ⑦ A ⑧ A
5	$v \leftarrow buffer_v + v$ $u \leftarrow u + p_D \times buffer_u$	② A ⑤ A ⑥ B ③ B ④ B ⑦ A ⑧ B
6	compare v	⑦ B ⑧ B

Inputは回路への入力であり、シナプスからの入力の総和をとった値が23bitのデジタル信号として入力されるものとしている。

①~⑧はスイッチであり、実際の回路では2入力または3入力のデータセクタにより実現されている。このことから、回路は、制御信号発生回路からの制御信号により、①~⑧のスイッチの切り替えと、Buffer<sub>v</sub>、Buffer<sub>u</sub>、vおよびuの4つのレジスタの値の更新によって、式(9)~式(16)の計算が可能となっている。Table 1に、各計算過程における演算とそれに対応するスイッチの表を示す。Table 1において、step6でスイッチが⑦B、⑧Bとなっているが、これは出力が1となった時にリセット動作が起こり、uにu+dがセットされる必要があるためである。Buffer<sub>v</sub>、Buffer<sub>u</sub>、vおよびuの4つのレジスタは、制御信号発生回路からの制御信号によって、更新が必要ときに、クロックの立ち上がりのタイミングに合わせて値の更新が行われるように制御を行った。

制御信号発生回路は、回路規模が少し大きくなるがハザードによる誤動作の心配がないFig. 3に示すようなワン・ホット方式とした。3入力のスイッチの制御信号は2bit必要なことから、制御信号は①~⑧のスイッチで11bit、4つのレジスタ値更新、Comparatorの動作のタイミングを制御するための5bit、外部からのリセット入力に対するリセット制御信号rest outの1bitの合計17bitとなった。reset outは、v、uに加えられ、初期値が設定されることとなる。また、制御信号発生回路は、クロックの立ち下がりに合わせて動作するようにした。これは、クロックの立ち下がりによって制御信号を変化させ、その後のクロック立ち上がりでBuffer<sub>v</sub>、Buffer<sub>u</sub>、vおよびuの4つのレジスタの値を更新することにより、乗算器や加算器などの組み合回路による入出力遅延の影響を受けにくくするためである。

#### 4 シミュレーション

作成したIzhikevichモデルのデジタル回路を、Verilog HDLで記述し、論理合成した後、シミュレー

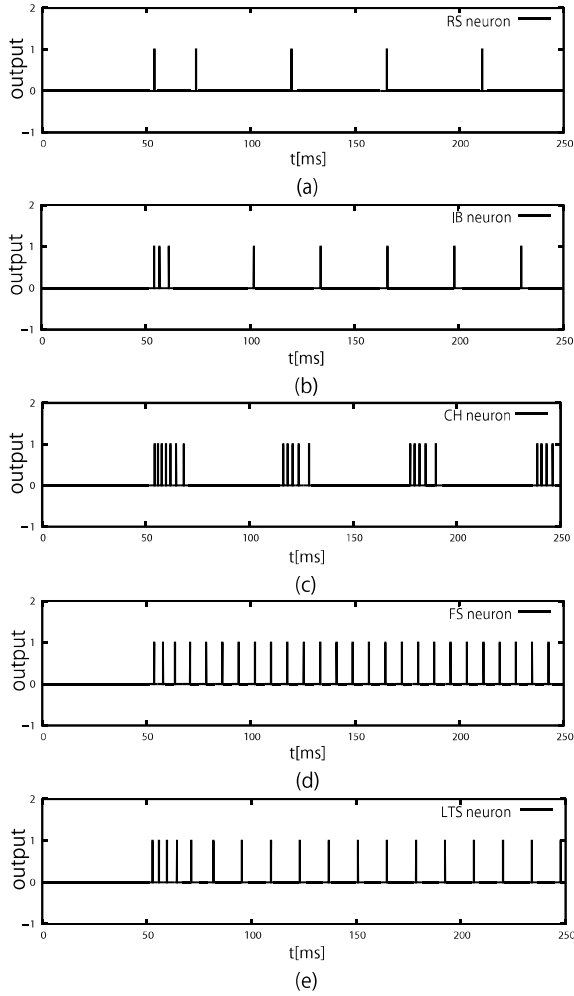


Fig. 4 Simulation result of digital circuit for Izhikevich model. (a) RS neuron. (b) IB neuron. (c) CH neuron. (d) FS neuron. (e) LTS neuron.

シミュレーションを行った。シミュレーションでは、ターゲットデバイスを ALTERA 社の FPGA である Cyclone IV E シリーズの EP4CE115F23C8 として、ターゲットデバイスの遅延特性を考慮したシミュレーションが行えるゲートレベルシミュレーションを行った。EP4CE115F23C8 は、市販の FPGA 評価ボードにも使われており、万能回路であるロジックエレメント (LE) を 114480LEs、組み込みの 9bit 乗算器を 532 個、それ以外に内部メモリや PLL を持っており、デジタル回路を Verilog HDL で記述し、論理合成することが出来れば、手軽に FPGA にダウンロードすることが可能となっている。

Fig. 4 に、シミュレーション結果を示す。シミュレーションの際のデジタル回路のパラメータは、 $\Delta t = 0.1[ms]$  とし、その他は Fig. 1 のシミュレーションと同様である。また、シミュレータは  $1[ps]$  単位でシミュレーションを行うことから、構築したデジタル回路の入出力にかかる 6 ステップつまり 6 クロ

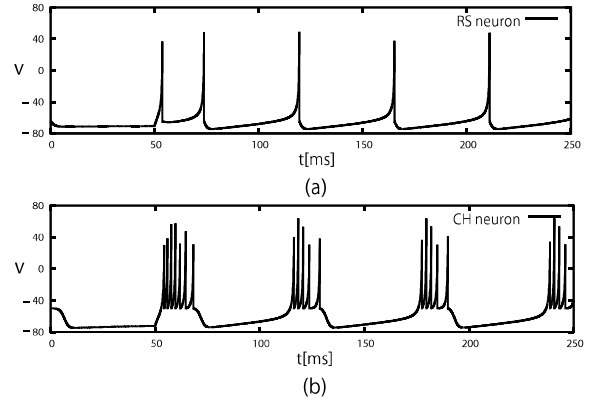


Fig. 5 v of digital circuit for Izhikevich model. (a) RS neuron. (b) CH neuron.

ック分がほぼ  $0.1[ms]$  となるように、1 クロックの周期を  $1666666[ps]$  とした。6 クロックでちょうど  $0.1[ms]$  とならないことから、入力、最初に回路のリセットを行った後に、 $t = 50[ms]$  付近で  $I = 10$  となるようにした。Fig. 4 を見て分かるように、Fig. 1 とほぼ同様の位置にパルス出力が現れており、構築したデジタル回路は Izhikevich モデルとして動作していることが分かる。しかしながら、Fig. 1(c) の CH neuron のシミュレーション結果を Fig. 4 のものと比較すると分かるように出力が少しずれていることが分かる。Fig. 5 に、Fig. 4 のシミュレーションの際の RS neuron、CH neuron のレジスタ  $v$  の値を 10 進数に変換し、プロットしたものを示す。Fig. 5 を見て分かるように、RS neuron の  $v$  は、ほぼ Fig. 1 と同じような変化をしているが、CH neuron の  $v$  は、遅れが生じているのが分かる。これは、RS neuron に比べて CH neuron は、 $v$  の変化が激しい分、 $v$  の小数部を 15bit としたことにより、ごく僅かの誤差が生じて、それが蓄積され、 $v$  の値変化が遅れたのではないかと考えられる。

構築した Izhikevich モデルのデジタル回路は、クロックに同期して動作していることから、ターゲットデバイスの遅延特性が影響しない限り、クロック周期を短くしても問題なく動作すると考えられる。そこで、 $\Delta t = 0.1[ms]$  としたままで、1 クロックの周期を  $1/100$  の  $166666[ps]$  として、CH neuron に対してシミュレーションを行った。その結果を Fig. 6 に示す。Fig. 6 を見て分かる通り、クロック周期を  $1/100$  としても正常に動作することが分かる。さらに、クロック周期を  $1/1000$  の  $16666[ps]$  としてシミュレーションしてみたが、正常に動作しなかった。これは、使用したターゲットデバイス上で回路を構成する素子の入出力遅延および信号伝達遅延により、1 クロック周期の間に演算が完了しなかったことが原

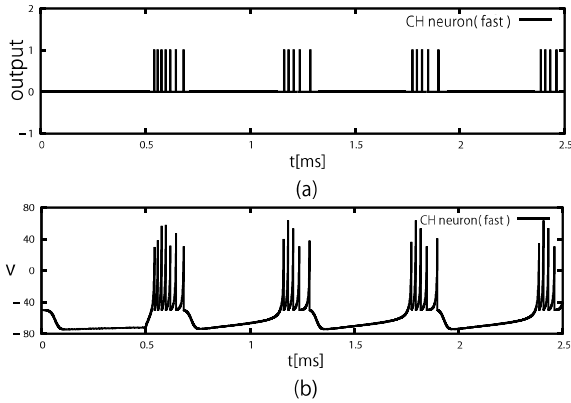


Fig. 6 Different clock interval simulation of digital circuit for Izhikevich model. (a) Output of CH neuron. (b) v of CH neuron.

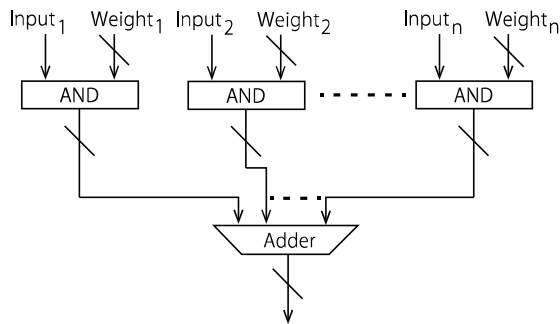


Fig. 7 Digital circuit of dendrite and synapse.

因として考えられる。しかしながら、シミュレーション結果から、回路が実際の神経細胞より高速に動作させることが可能であり、これを人工ニューラルネットワークに応用することが出来れば、非常に有益であると考えられる。

次に、論理合成した結果の回路規模について述べる。論理合成した結果、使用した LE の数は RS neuron、IB neuron、CH neuron、FS neuron でそれぞれ 404LEs、LTS neuron で 406LEs であった。9bit 乗算器に関してはそれぞれ 11 個であった。ターゲットデバイスとして選択した EP4CE115F23C8 は Cyclone IV E シリーズの中では、LE の数が最大のものであり、先に述べたとおり LE の数は 114480LEs、9bit 乗算器は 532 個持っている。このことから、構築したデジタル回路は、ターゲットデバイスを EP4CE115F23C8 とすると 48 個実装可能であると考えられる。また、速度面で不利になると思われるが、組み込みの 9bit 乗算器が足りない場合に乗算器も論理合成することを許可すれば、150 個程度実装することが可能であると考えられ、ある程度の回路規模に抑えることができたのではないかとと思われる。

しかしながら、EP4CE115F23C8 の入出力ピンは 281 ピンであり、構成するネットワークによっては、実

装する細胞の個数は限定されると思われる。また、構築したデジタル回路は神経細胞の細胞体部分だけであり、入力部分に相当する樹状突起およびシナプスに関する回路が含まれておらず、神経細胞全体で考えた回路規模はもっと大きなものとなると考えられる。樹状突起およびシナプスに相当する部分は、岩佐らが Fig. 7 に示すような回路を提案しており、これを用いれば容易に実現することが出来ると思われる<sup>2)</sup>。

## 5 おわりに

本報告では、神経細胞の数理モデルである Izhikevich モデルのデジタル回路化を行い、そのシミュレーション及び考察の結果について報告を行った。構築したデジタル回路は、Izhikevich モデルが 2 つの微分方程式によって構成されることから、前進オイラー法を用いて離散化を行い、できるだけ回路規模が大きくならないうにかつ計算過程が少なくなるように 6step で計算できるようにした。その結果、数値表現には符号 bit 込みの整数部 8bit、小数部 15bit の 23bit の固定小数点が必要となり、論理合成すると回路の大きさが ALTERA 社の FPGA である Cyclone IV E シリーズの EP4CE115F23C8 で、LE の数が 404LEs から 406LEs、9bit 乗算器が 11 個必要であった。このことから、回路規模はある程度の大きさに抑えられたのではないかとと思われる。

シミュレーションに関しては、ほぼ Izhikevich モデルの動作と同じ結果を得ることができた。しかし、一部は出力が少し遅れる結果が得られた。これは、出力の変化が激しいものでは僅かな誤差が蓄積することによって遅れが生じているのではないかと考えられる。この遅れに関しては、構築したデジタル回路を用いて、様々なニューラルネットワークモデルを構築し、その影響を検討する必要があると思われる。また、構築したデジタル回路は、外部クロックに同期して動作することから、回路を構成する素子などの遅延特性の影響がない限り、クロック周期を短くすることにより、高速に動作させることが出来ることがわかった。

構築したデジタル回路は神経細胞における細胞体に相当する部分のみであり、入力に関する樹状突起およびシナプスの部分が含まれていない。今後、これらを含めた回路を構築し、さらなる検討が必要であると思われる。また、ニューラルネットワークにおいて、学習は非常に重要な要素であることから、シナプス可塑性による学習に関して考慮しないといけないと思われる。よって今後は、細胞体のみな

らず樹状突起およびシナプスに相当する部分も含めての回路化を行い、様々なネットワークを構成して考察を行う予定である。また、シナプス可塑性による学習に関する回路の構築も行う予定である。

## 参考文献

- 1) 二俣宣義, 黒柳奨, 岩田彰:FPGA のためのパルスニューロンモデルの実装手法, 電子情報通信学会技術研究報告, NC2001-211, pp.121-128, 2002.3
- 2) 岩佐要, 黒柳奨, 岩田彰:FPGA を用いたパルスニューロンモデルによる音源定位及び音源種類の識別システムの実装, 電子情報通信学会論文誌 D, Vol.J90-D, No.11, pp.3079-3090, 2007
- 3) 日紫喜徹也, 鳥飼弘幸:共鳴発火型離散状態ニューロンの学習則構築のための基礎解析, 電子情報通信学科技術研究報告, NLP2010-88, pp.41-46, 2010.10
- 4) 伊地智洋文, 鳥飼弘幸:デジタルスパイクニューロン結合系が呈する非周期及び同期的同期現象の解析, 電子情報通信学会技術研究報告, NLP2010-81, pp.1-6, 2010.10
- 5) 松原崇, 鳥飼弘幸:一般化非同期デジタルスパイクニューロンモデルの興奮特性 Field Programable neuron array の構築にむけて, 電子情報通信学会技術研究報告, NC2010-111, pp.129-134, 2011.1
- 6) C. Koch:Biophysics of Computation. Information Processing in Single Neurons , Oxford University Press, 1999
- 7) E. M. Izhikevich:Simple Model of Spiking Neurons, IEEE Trans. Neural Networks, Vol.14, No.6, pp.1569-1572, 2003.11
- 8) E. M. Izhikevich:Which Model to Use for Cortical Spiking Neurons?, IEEE Trans. Neural Networks, Vol.15, No.5, pp.1063-1070, 2004.9